

一种用于 FPGA 配置的抗干扰维持电路

张惠国^{1,2}, 王晓玲³, 唐玉兰¹, 于宗光^{1,3}, 王国章³

(1. 江南大学信息工程学院, 江苏无锡 214000; 2. 常熟理工学院物理与电子工程学院, 江苏常熟 215500;
3. 中国电子科技集团公司第 58 研究所, 江苏无锡 214000)

摘要: 设计并实现了一种用于 FPGA 配置的抗干扰维持电路, 针对基于 SRAM 的 FPGA 配置单元易受噪声影响丢失信息的问题, 提出了电压不稳定、低压状态下配置信息的抗干扰维持方案. 在设计高面积效率配置单元、分析噪声容限的基础上, 得出配置单元静态噪声容限随电源电压单调递增的关系, 并进一步设计了基准、电荷泵以及电压比较控制电路构成的可切换电源反馈控制电路, 实现了配置单元的稳态供电. 仿真及测试结果表明, 正常工作电压为 2.5V 的 FPGA 芯片能在 1.8V 低电压下维持配置信息, 提高了 FPGA 芯片的抗干扰性能.

关键词: 可编程门阵列; 静态存储器; 低压维持; 抗干扰; 噪声容限

中图分类号: TN47 **文献标识码:** A **文章编号:** 0372-2112 (2011) 05-1169-05

Antijamming Holding Circuit for FPGA Configuration Cell

ZHANG Hui-guo^{1,2}, WANG Xiao-ling³, TANG Yu-lan¹, YU Zong-guang^{1,3}, WANG Guo-zhang³

(1. School of Information Engineering, Jiangnan University, Wuxi, Jiangsu 214000, China;
2. School of Physics and Electronic Engineering, Changshu Institute of Technology, Changshu, Jiangsu 215500, China;
3. China Electronics Technology Group Corporation No. 58 Research Institute, Wuxi, Jiangsu 214000, China)

Abstract: An antijamming holding circuit is proposed to solve the problem with data losing under the noise in the SRAM-based FPGA configuration cell. When the structure parameters of the area efficient configuration cell designed, the Static Noise Margin(SNM) of configuration cell increases as the power supply voltage increases. Through the detailed design of the voltage reference, charge pump and voltage comparison circuit, we realized a feedback controlled steady power supply for FPGA configuration cell. Simulation and testing results show, an FPGA with the new structure can hold data in configuration cell under the 1.8V voltage while its normal voltage supply is 2.5V, which improve the antijamming performance of FPGA.

Key words: field programmable gate array (FPGA); static random access memory (SRAM); low voltage holding circuit; antijamming; signal noise margin

1 引言

基于 SRAM 的现场可编程门阵列(FPGA)是一种能通过编程实现规定功能的通用电路, 因其有着灵活的可编程性, 被成功应用在工业控制、数据通信、空间探索等领域. FPGA 的功能完全由配置信息决定, 配置单元信息的可靠性决定了 FPGA 的可靠性, 而基于 SRAM 的 FPGA 本身有着配置信息易于丢失的弱点, 设计高噪声容限配置维持电路可有效提高 FPGA 芯片的可靠性. 另外, 低功耗应用条件要求 FPGA 在不工作时能降低工作电压, 而在工作时能及时的唤醒, 而工业环境中存在着电源电压的意外降低. 这要求 FPGA 在低电源电压时能可靠的保持配置信息, 满足低功耗和可靠性的要求.

基于 SRAM 的 FPGA 配置单元常采用了六管 SRAM 的单元结构^[1,2], 详细电路和连接关系如图 1 所示. 图中

两个交叉耦合的反相器构成了基本单元, 左右两侧的两个写访问 NMOS 管用做字线控制. 配置时先打开两个 NMOS 管, 通过 D 和 DB 两个互补信号完成对单元的写过程, 写入信息后, 两个写访问 NMOS 管关闭以保存配置信息. FPGA 中的其他逻辑直接与 Q 与 QB 端连接, 实现配置单元的控制功能.

传统的 SRAM 利用字线的开关控制对 SRAM 单元的读写操作, 有效隔离了外部电路的噪声耦合进入单元. 相比, FPGA 中的配置单元与外部电路直接发生耦合, 外部电路的耦合噪声使得 FPGA 的配置信息出错而导致失效. 而且 FPGA 本身处于电源到地的大摆幅工作环境中, 干扰的幅度较大. 在低压环境中, 需要研究 FPGA 配置单元的受干扰机制, 在考虑基本 FPGA 配置单元噪声容限设计的同时, 提供额外的提高噪声容限的机制实现 FPGA 低压抗干扰维持能力.

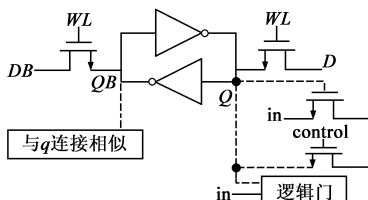


图1 配置单元与逻辑电路的可能连接

本文在分析研究 SRAM 及配置单元噪声容限的基础上,给出 FPGA 配置单元的设计方法以及静态噪声容限的仿真分析,确立了进一步提高容限的依据,并由此实现了一个反馈控制电路为配置单元供电,在电源降低时侦测电源电压,自动完成电源的切换,有效提高了配置单元的噪声容限,完成低压情况下配置信息的抗干扰维持。

2 FPGA 配置单元设计和噪声容限仿真

2.1 配置单元结构设计

六管 SRAM 单元有着较小的静态电流和较好的抗噪声性能,能随着工艺尺寸的缩小而等比例缩小,在深亚微米工艺中广泛实用.工业上通常采用六管结构,并通过版图和工艺技术来提高面积效率^[4-6].在 SRAM 设计中,静态噪声容限是最为关键的指标,它表示使存储单元翻转的最大直流噪声电压.已有较多的论文关注 SRAM 的噪声容限设计,并得出了较好的结论^[7-10].其中文献[7]给出了 SRAM 静态噪声容限的解析分析和实用的电路仿真方法.在六管 SRAM 的设计中,考虑到读写操作,一般将 PMOS 负载管设计成最小比例的管子,访问 NMOS 管和驱动 NMOS 管的比例依次增大,以满足读写容限和噪声容限约束。

FPGA 配置单元采用了传统六管单元结构,在配置时可通过打开访问管完成写操作,配置完后关闭访问管,配置单元不通过访问管进行存储信息的读取.此时不存在位线预充的情况,从而不需要考虑访问 NMOS 管和驱动管之间的比例设计.设计时只需满足能写“0”即可,合理设计负载 P 管与访问管的比,总的原则是让负载 PMOS 管弱于访问 NMOS 管。

考虑 FPGA 配置单元数量巨大,重复性较多,如 Xilinx Virtex5 中最小 FPGA 的配置单元多达 800 万个^[11],我们设计的 FPGA 的配置单元数为 600 万个.设计时需要考虑面积效率,尽量设计成最小单元.设计中,我们将六个 MOS 管的宽长比设计成相同,其 MOS 管沟道长度由最小的工艺线宽决定,沟道宽度由版图的设计规则中的接触孔与有源区边缘间距规则确定.实际在采用最小线宽为 0.22 μm 的工艺下,考虑设计规则中孔与有源区间距,取 NMOS 管宽长比 0.6 $\mu\text{m}/0.24\mu\text{m}$,PMOS 管的尺寸与 NMOS 管相同。

2.2 干扰分析及噪声容限仿真

由于在 FPGA 中,配置单元和逻辑电路直接连接,可受到较大的干扰.表现为外部信号的变化通过栅源或栅漏电容或者金属走线电容直接耦合到配置存储单元.图 2 给出了配置单元在受到干扰时噪声反相加到两个反相器输入端时的最坏情况。

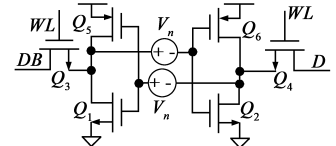


图2 包含干扰的互锁配置单元

文献[7]将 SRAM 单元的蝶形图进行坐标变换

换得出了寻找噪声容限的简便方法,完成了电路静态噪声容限仿真.其中考虑了读操作时访问管与负载管并联降低反相器增益而降低噪声容限的情况,得出了在 0~5V 情况下的静态噪声容限 (SNM) 与电源电压 V_{dd} 的关系,其中给出了在单元比 (CELL RATIO) 为 1 时,SNM 不随 V_{dd} 的升高而单调变化,而是存在一个最大值.此处定义单元比为驱动管与访问管的增益因子之比.在 0.22 μm 工艺下,我们对最小比例管子 SRAM 单元在 0~2.5V 范围内进行了 SNM 的仿真,为实现文献[7]中的数学变换,实际仿真时我们利用压控电压源完成蝶形图到噪声容限的数学转化,仿真电路模型如图 3 所示,其中考虑了 SRAM 读操作时访问管 Q_3 和 Q_4 的并联效应.仿真时,对电压 u 进行扫描,最终输出曲线 V_{snm} 的最大值或最小值的绝对值表示蝶形图所包含的最大方块的对角线长除以 $\sqrt{2}$,即为噪声容限.文[12]给出了蝶形图所包含最大方块可表示噪声容限的理论依据.从图 4 的仿真结果可看出,SRAM 单元具有较小的噪声容限,最大值在 1.25V 处,为 200mV.在 SRAM 的设计中,单元比为 1 时,提高电源电压来对静态噪声容限的提高不起作用。

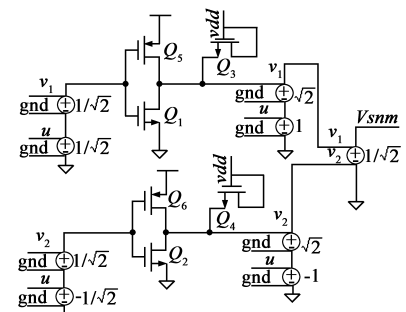


图3 蝶形图到噪声容限转换电路

而对于设计的最小比例 FPGA 配置单元,其中不存在访问管与负载管的并联效应,仿真时直接采用反相器单元,和图 3 中电路相比,不考虑访问管 Q_3, Q_4 的并联,最后得出的静态噪声容限与电源电压的仿真关系如图 4 所示,在 0 到 2.5V 的范围内其静态噪声容限随电源电压的升高而增加.相比 SRAM 单元,由于不需考

虑读预充写 1 的情况,静态噪声容限有了提高.然而 FPGA 中的配置单元与外部电路直接发生耦合,易受噪声干扰.在 FPGA 配置单元的设计中,一方面设计最小比例管子满足写入容限和一定的噪声容限,并达到最大的面积效率;另一方面需要在工作电压降低压时,通过维持较高的配置单元供电电压,保证一定的噪声容限,达到低压时配置信息的抗干扰维持.以下几部分研究配置单元供电的电源控制结构.

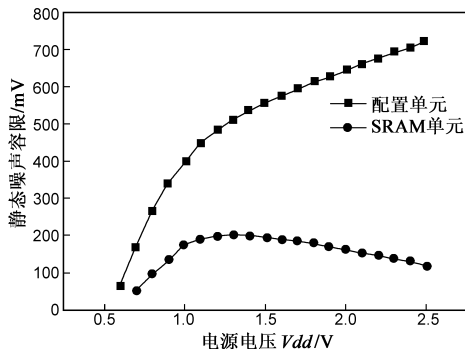


图4 噪声容限与电源电压的关系

3 低压维持结构原理

为解决电源电压降低时配置单元噪声容限降低而易受干扰的问题,我们让配置单元采用可切换的电源电压控制结构.在正常工作电压下采用电源电压 V_{dd} 供电,当源电压降低时,配置单元采用稳定的 $SramV_{dd}$ 供电用于低压下维持配置信息,其结构框图如图 5 所示.

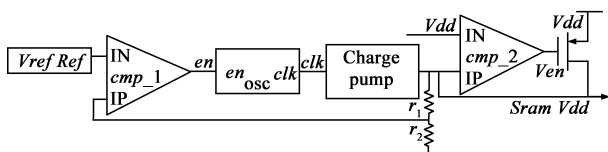


图5 电源反馈控制电路整体结构

图中的结构采用了电压基准 Ref ,其在电源电压降低时能保持稳定的输出电压.设计了一个电荷泵,其可以在较宽的范围内工作,产生较高的电压.单独工作时能产生约 5V 的电压.电荷泵的输出电压经电阻分压后与基准电压比较,如果高于基准电压,则关闭电荷泵的振荡时钟;如果低于基准电压则使能振荡时钟.利用这一反馈控制可设定电荷泵稳定时的最大工作电压.

另一方面电荷泵的输出电压 $SramV_{dd}$ 与电源电压 V_{dd} 作比较,如果低于电源电压.比较器 cmp_2 输出低电平,使电源切换 PMOS 管 $P1$ 导通,此时 $SramV_{dd}$ 采用电源电压,即配置单元使用电源电压供电;如果电源电压降低,使得 $SramV_{dd}$ 高于电源电压,此时比较器 cmp_2 输出高电平,电源切换 PMOS 管 $P1$ 关闭,配置单元采用稳定的相对高的 $SramV_{dd}$ 电压供电,增加了单元的静态噪声容限,有效维持了配置信息.

根据以上的原理分析,最终的 $SramV_{dd}$ 采用

2.45V.设计的控制结构具有如下性能:

(1) $SramV_{dd}$ 电压和电源电压的比较,用于两种电压的切换.

当 $V_{dd} < SramV_{dd}$ 时,输出采用 $SramV_{dd}$,稳定时输出为 2.45V,此时 V_{en} 为高电平;当 $V_{dd} > SramV_{dd}$ 时,输出采用 V_{dd} ,此时 V_{en} 为低电平.而当电源电压稳定工作时,采用 V_{dd} 供电,此时电荷泵时钟停振,可节省功耗.

(2) 基准采用固定电压,设计为 1.23V,具有稳定的温度特性和电源电压抑制比,保证在各种温度下 $SramV_{dd}$ 的稳定输出.

4 设计与实现

4.1 基准电路设计

在基准电路设计中,考虑 FPGA 低压维持机构对基准的精度要求不高,且 PTAT 电压基准抗噪声能力较强;而基于运放的基准在 FPGA 的大摆幅工作的数字环境中易受干扰,设计复杂.我们采用常用的基于 PTAT 电流源的电压基准^[13],设计的基准电压为 1.23V.由于存在着零电流的简并工作点,PTAT 的基准在工作过程无法自启动,需要专门设计启动电路.在具体实现中,我们设计了一个倒比弱 NMOS 管的高翻转点反相器 $I1$,完成了一个简单可靠的启动电路,基准总体电路如图 6 所示.

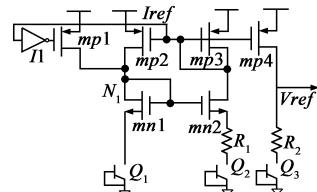


图6 基于PTAT电流源的电压基准

电路启动时,高翻转点反相器 $I1$ 的输出使能 $mp1$,可强制 $N1$ 点充电,从而将电路推离零电压简并点,实现简单的启动.其启动过程如图 7 所示.基准在芯片通电时启动,其稳定时间为 130 微秒,稳定电压为 1.23 V.

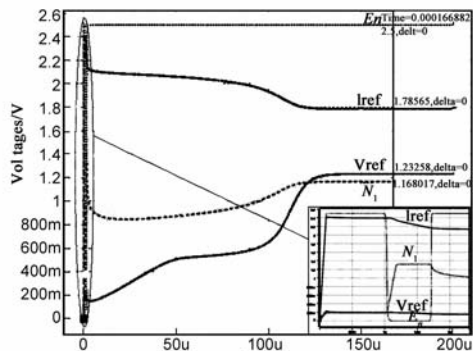


图7 电压基准仿真波形

4.2 电荷泵电路设计

基于 Dickson 电荷泵设计思想^[14,15],设计了两级的电荷泵,其中二极管用栅漏短接的 NMOS 管实现,如图

8所示.采用双相时钟,由简单的环形振荡器,设计时采用简单的环形振荡和触发器分频.电荷泵直接采用电源电压供电,有较宽的电源电压工作范围,能在低压下工作.设计时主要考虑其带负载的能力.设计时采用3.3V高压MOS管模型.图中 M_1, M_2, M_3 作为二极管使用, M_3 为隔离二极管. M_5, M_6 作为电容使用.由于在设计中需要较快的响应速度,我们设计了一个反馈NMOS管 M_4 ,用于加快电荷泵输出电压的建立.

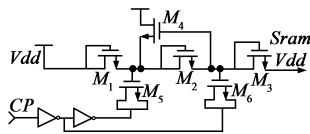


图8 电荷泵电路

4.3 比较电路设计

设计了两种比较器,均采用简单的一级放大比较器,而对于比较器 cmp_2 ,由于其输入端接 Vdd 和 $SramVdd$ 电压,在比较器内部输入端设计了相应的电平转换电路以控制共模电平.

5 物理实现

电路采用 $0.22\mu\text{m}$ 单多晶5层金属布线工艺实现,在设计FPGA中,基准电路还同时给片内振荡器提供稳定电流镜像,故在版图设计中基准与电荷泵在物理上分开设计,版图如图9所示,占面积为 $342 \times 324\mu\text{m}^2$.而电荷泵电路考虑到其带负载能力,实际的FPGA芯片中采用122个并联完成,单个面积为 $28 \times 315\mu\text{m}^2$,如图10所示.

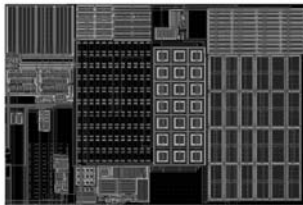


图9 基准和比较电路版图



图10 电荷泵版图

6 实验结果

对抗干扰维持电路进行了详细的前仿和后仿,以及工艺角仿真,图11给出典型情况的仿真结果,图中给

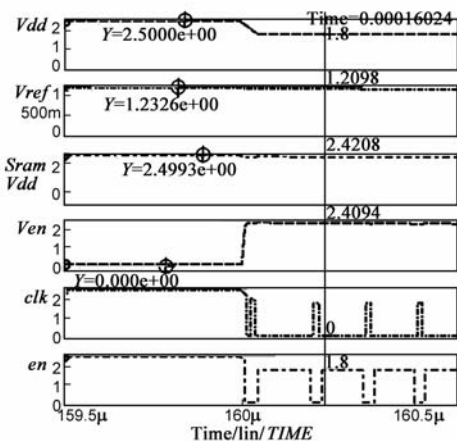


图11 电路整体仿真波形

出了在极限情况下 Vdd 从2.5V跳变到1.8V时, $SramVdd$ 从2.5V变到2.42V,而 Ven 完成了从低电平(采用 Vdd)到高水平(采用 $SramVdd$)的变化.从图中可以看出,在 Vdd 供电时,电荷泵时钟保持高水平,停止振荡,节省了功耗;而在 $SramVdd$ 供电时,电荷泵时钟根据所需的电压在 en 低电平使能时振荡,有效稳定了电荷泵的工作电压.由于基准电压的电源抑制比不高,在1.8V情况下, $SramVdd$ 的电压为2.42V未能达到预期的2.45V,但已经满足了低压维持的要求,电路达到了设计目的.

该电路应用在一个100万门的FPGA设计中,表1列出了FPGA的相关参数.从表中可以看出,此电路结构的面积主要由122个电荷泵组成,其占有面积为 1.076mm^2 ,占芯片总面积 414.11mm^2 的0.41%,面积开销相对较小.

表1 FPGA主要设计参数

| 类型 | 参数值 |
|-------------|---|
| 规模 | 100万门 |
| 芯片面积 | $20.47 \times 20.23\text{mm}^2$ |
| 电荷泵面积(122个) | $122 \times (28 \times 315)\mu\text{m}^2$ |
| 基准和比较器面积 | $342 \times 324\mu\text{m}^2$ |
| 典型工作电压 | 2.5V |
| 工作频率 | 200MHz |
| 配置位 | 6Mbit |
| JTAG配置时间 | 25s |

实际的芯片测试时,在FPGA中配置不同功能电路,将电路内核电压从2.5V往下降,测量电路能保持功能的最低电压.我们分别利用64位 \times 64位的乘法器,单长线开关测试码段,CLB多路选择器测试码段,由LUT反相器组成的环形振荡器以及LUT反相器进行了测试,表2是最终测试的结果.从表中可以看出,电路在内核电压降到1.8V以下时,电路出现不稳定,表明电路在1.8V以上能很好的实现抗干扰维持功能.

表2 不同电路的维持电压

| 配置电路 | 内核维持电压(V) |
|-------------------|-----------|
| 64 \times 64乘法器 | 1.78 |
| 单线开关 | 1.65 |
| CLB多路选择器 | 1.67 |
| 环形振荡 | 1.72 |
| LUT反相器 | 1.60 |

7 结论

本文分析比较了FPGA配置单元和SRAM单元的结构与应用环境,给出了FPGA配置单元的设计方法.分别仿真了 $0.22\mu\text{m}$ 工艺SRAM及FPGA配置单元的静态噪声容限随电源电压的变化情况,得出FPGA配置单元的噪声容限随电源电压增加而变大的结论,并进一

步提出及实现了配置单元低电压抗干扰维持电路的可切换电源设计. 仿真及测试结果表明, 新的结构能有效的提高配置单元的静态噪声容限, 工作电压为 2.5V 的 FPGA 芯片在 1.8V 的低压下能有效实现配置信息的抗干扰维持.

参考文献

- [1] Fan J, Xiao-Yu Li, Hartanto I. Using FPGA configuration memory to accelerate yield learning for advanced process[J]. Asian Test Symposium, ATS '07. 16th. 2007: 505 - 508.
- [2] 潘光华, 等. FPGA 可编程逻辑单元时序功能的设计实现[J]. 电子学报, 2008, 36(8): 1480 - 1484.
Pan Guang-hua, et al. The design and implementation of sequential circuits in FPGA configurable logic block [J]. Acta Electronica Sinica, 2008, 36(8): 1480 - 1484. (in Chinese)
- [3] 汪鹏君, 等. 钟控传输门绝热逻辑电路和 SRAM 的设计[J]. 电子学报, 2006, 34(2): 301 - 304.
Wang Peng-jun, et al. Design of clocked transmission gate adiabatic logic circuit and SRAM [J]. Acta Electronica Sinica, 2006, 34(2): 301 - 304. (in Chinese)
- [4] A Chatterjee, et al. A 65nm CMOS technology for mobile and digital signal processing applications [A]. Int Electron Device Meeting Tech. Digest [C]. San Francisco, USA, 2004. 665 - 668.
- [5] P Bai, et al. A 65nm logic technology featuring 35nm gate lengths, enhanced channel strain, 8 Cu interconnect layers, low-k ILD and 0.57 μm^2 SRAM cell [A]. Int Electron Device Meeting Tech. Digest [C]. San Francisco, USA, 2004. 657 - 660.
- [6] Z Luo, et al. High performance and low power transistors integrated in 65nm bulk CMOS technology [A]. Int Electron Device Meeting Tech. Digest [C]. San Francisco, USA, 2004. 661 - 664.
- [7] E Seevinck, F J List, J Lohstroh. Static noise margin analysis of MOS SRAM cells [J]. IEEE J. Solid-State Circuits, 1987, sc-22 (5): 748 - 754.
- [8] Kenneth W. Mai, et al. Low-power SRAM design using half-swing pulse-mode techniques [J]. IEEE J. Solid-State Circuits, 1998, 33(11): 1659 - 1671.

- [9] Ding-Ming Kwai, et al. Detection of SRAM cell stability by lowering array supply voltage [A]. Proc of the Ninth Asian Test Symp [C]. Taiwan, 2000. 268 - 273.
- [10] K Osada et al. 16.7 - fA/cell tunnel-leakage-suppressed 16-Mb SRAM for handling cosmic-ray induced multierrors [J]. IEEE J. Solid-State Circuits, 2003, 38(11): 1952 - 1957.
- [11] Xilinx Corporation. Virtex-5 FPGA Configuration User Guide [DB/OL]. http://www.xilinx.com/support/documentation/user_guides/ug191.pdf, 2009-08-14.
- [12] J Lohstroh, E Seevinck, J de Groot. Worst-case static noise margin criteria for logic circuits and their mathematical equivalence [J]. IEEE J. Solid-State Circuits, 1983, sc-18(6): 803 - 807.
- [13] Behzad Razavi. Design of Analog Cmos Integrated Circuits [M]. Mcgraw-Hill Professional, 2001. 390 - 392.
- [14] J F Dickson. On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique [J]. IEEE J. Solid-State Circuits, 1976, sc-11(3): 374 - 378.
- [15] T Tanzawa, T Tanaka. A dynamic analysis of the Dickson charge pump circuit [J]. IEEE J Solid State Circuits, 1997, 32 (8): 1231 - 1240.

作者简介



张惠国 男, 1978 年 11 月出生于江苏常熟, 2001 年获苏州大学物理教育理学学士学位, 其后在常熟理工学院物理与电子工程学院任教. 现为江南大学博士研究生, 在中国电子科技集团公司第 58 研究所从事集成电路设计研究.
E-mail: hweigo@csjg.edu.cn



王晓玲 女, 1977 年 9 月出生于山西原平, 分别于 2001 年和 2004 年获兰州大学微电子与固体电子学专业学士学位和硕士学位. 现在中国电子科技集团公司第 58 研究所从事集成电路设计.